

Es. 05

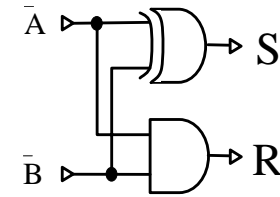
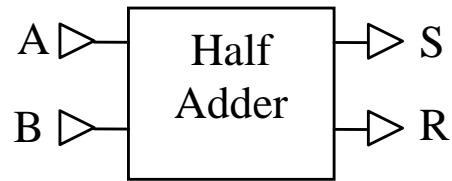
Addizionatori (Half Adder, Full Adder); sommatore a n bit (con e senza riporto); conversione in complemento a due e sottrazione; overflow.

Es. 1

- Si scriva la tabella di verità per un addizionatore ad 1 bit senza riporto (half adder);
- Se ne dia un'implementazione in Gatesim e si salvi il circuito.
- Hint -> si utilizzi la porta XOR per limitare il numero di porte che compaiono nel circuito.
- Hint -> per il salvataggio del circuito: create IC, tasto dx sull'IC create, save as IC [in questo modo è possibile importare il circuito in un altro progetto utilizzando il tasto import IC].

Sol. 1

A	B	S	R
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



$$S = A \oplus B \quad R = A \cdot B$$

N.Porte = 2 *Cammino Critico* S = 1 , R = 1

← Nuovo IC

Logic Gate Simulator 1.2.3596.23763 Copyright © 2009 Steve Kollmansberger <http://www.kolls.net/gatesim>

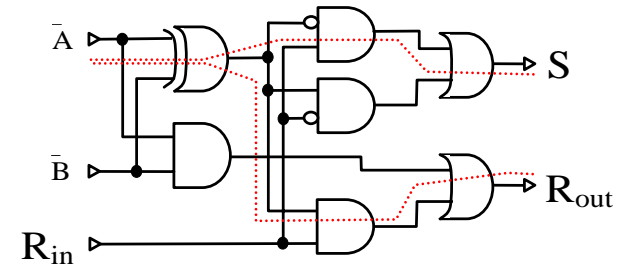
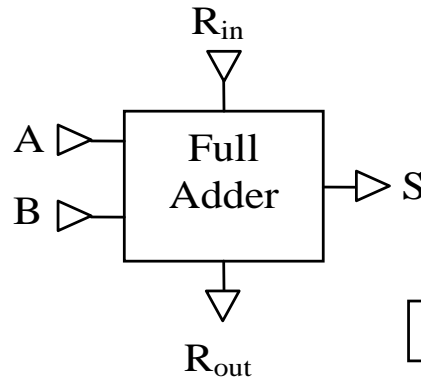
10:04 AM
3/15/2010

Es. 2

- Si scriva la tabella di verità per un addizionatore ad 1 bit con riporto (Full Adder).
- Se ne dia un'implementazione in Gatesim e si salvi il circuito.
- Hint -> si sfrutti il circuito dell'Half Adder (2x) per l'implementazione del Full Adder.

Sol. 2

R _{in}	A	B	S	R _{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



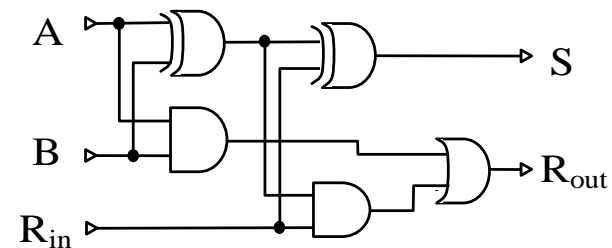
N.Porta = 7 *Cammino Critico* S = 3 , R = 3

$$\begin{aligned}
 S &= \sim R_{in} \sim A B + \sim R_{in} A \sim B + R_{in} \sim A \sim B + R_{in} A B \\
 &= \sim R_{in} (\sim A B + A \sim B) + R_{in} (\sim A \sim B + A B) \\
 &= \sim R_{in} (A \oplus B) + R_{in} \sim (A \oplus B) \\
 R_{out} &= \sim R_{in} A B + R_{in} \sim A B + R_{in} A \sim B + R_{in} A B \\
 &= A B (\sim R_{in} + R_{in}) + R_{in} (\sim A B + A \sim B) \\
 &= A B + R_{in} (A \oplus B)
 \end{aligned}$$

Nota: $\sim A \sim B + A B = \sim A \sim B + A B = \sim(\sim(\sim A \sim B + A B))$
 $= \sim(\sim(\sim A \sim B) \sim (A B)) = \sim((\sim \sim A + \sim \sim B) (\sim A + \sim B))$
 $= \sim((A+B) (\sim A + \sim B)) = \sim(A(\sim A + \sim B) + B(\sim A + \sim B))$
 $= \sim(A \sim A + A \sim B + B \sim A + B \sim B) = \sim(A \sim B + B \sim A) = \sim(A \oplus B)$

Semplificazione circuitale:

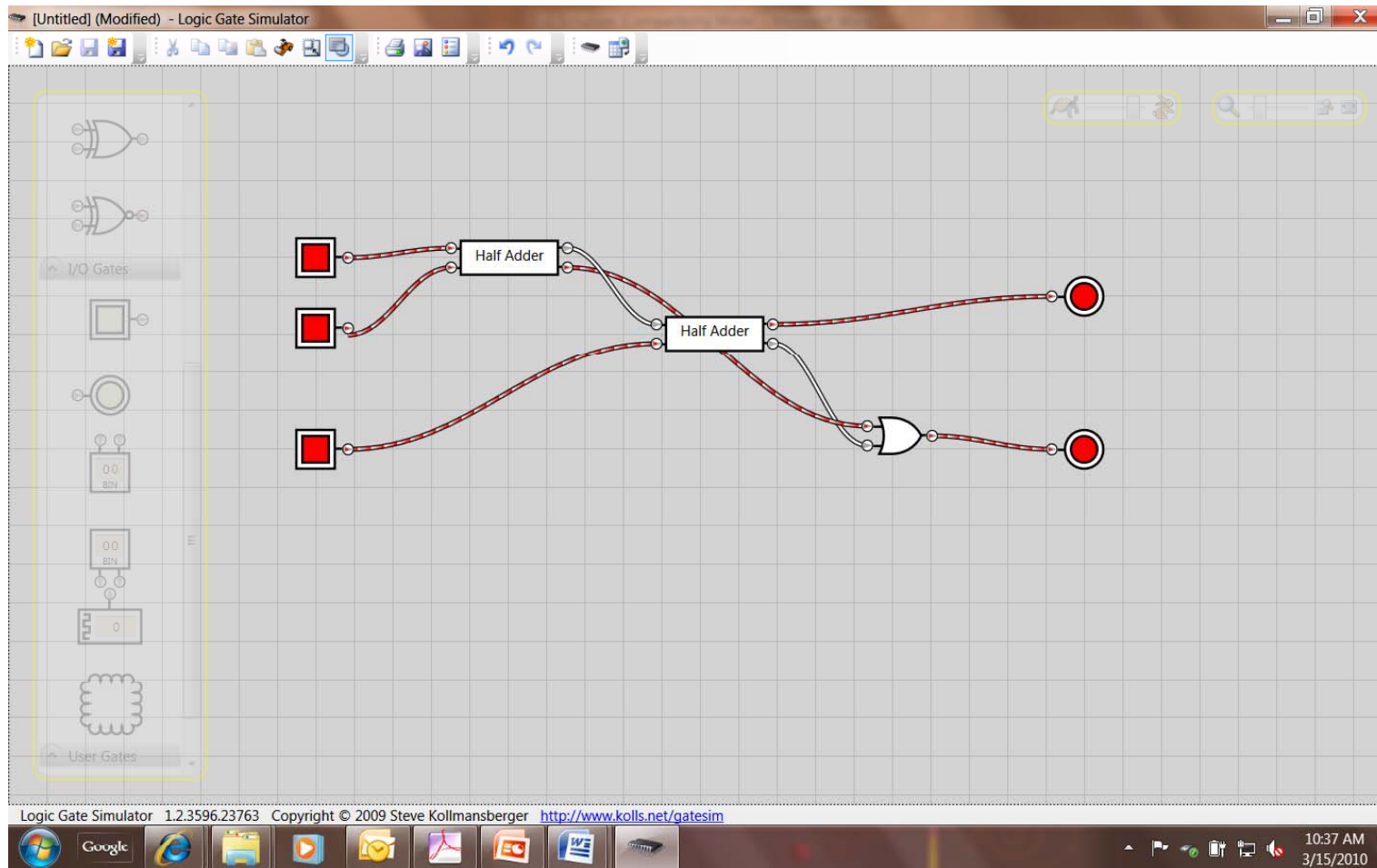
$$S = \sim R_{in} (A \oplus B) + R_{in} \sim (A \oplus B) = R_{in} \oplus (A \oplus B)$$



N.Porta = 5 *Cammino Critico* S = 2 , R = 3

Nota: le porte AND e la OR possono essere pensate come “gate” che lasciano “passare” il segnale presente su un terminale in funzione del segnale presente sull’altro. Diversamente le porte XOR si comportano come “invertitori”: il segnale presente su un terminale viene lasciato passare o invertito a seconda del segnale presente sull’altro.

Sol.2

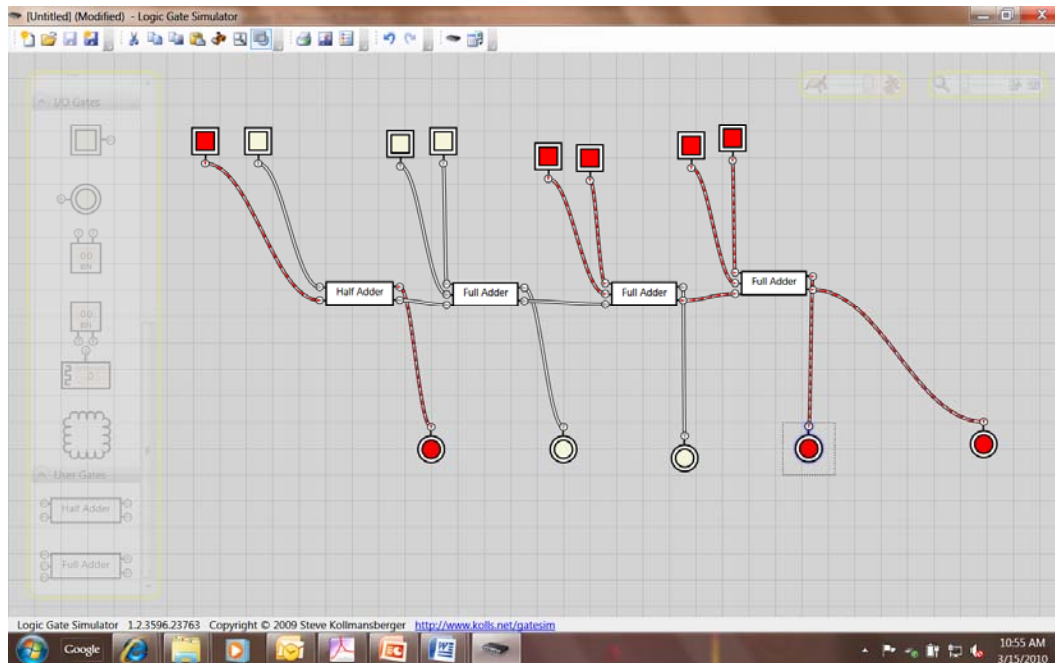
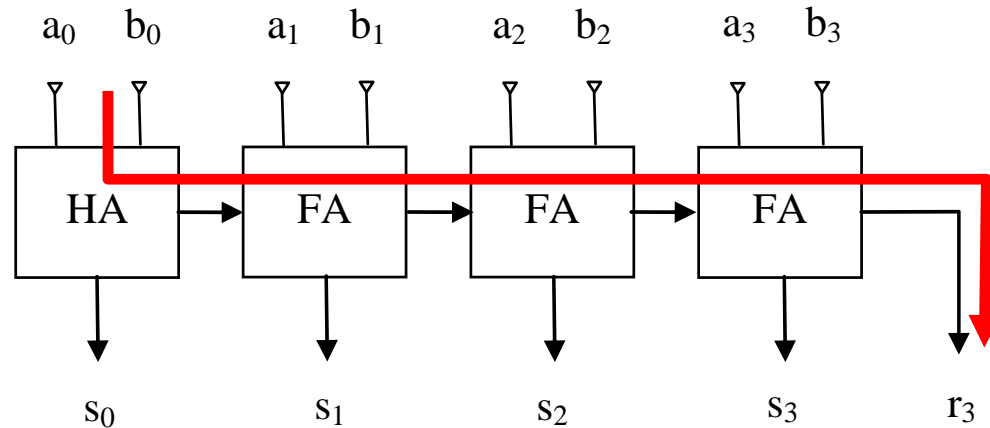


Es. 3

- Si utilizzino i moduli Half Adder / Full Adder per realizzare un addizionatore a 4 bit senza riporto in Gatesim.
- Si analizzi il cammino critico del circuito così implementato (per l'uscita somma e per l'uscita riporto).

Sol. 3

E' possibile realizzare un sommatore ad n bit usando un HA e n-1 FA collegati in cascata.



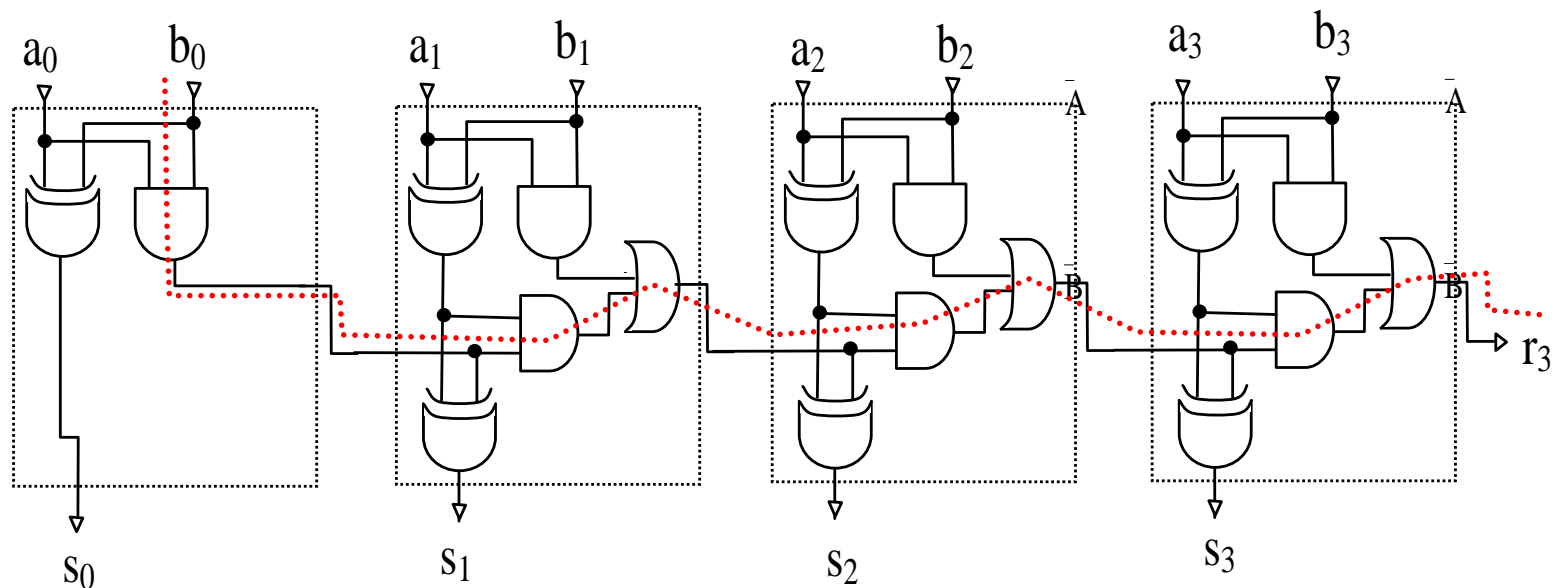
Attenzione...

Dove è il bit più significativo???

Cosa succede se sommiamo $1000 + 1101$? Si verifica l'overflow?

Sol. 3

Il cammino critico è quello definito dalla propagazione dei riporti dal primo modulo all'ultimo. Se si esamina il circuito dei FA si nota che la porta XOR e le porta AND collegate direttamente agli ingressi a_i b_i si stabilizzano tutte nella prima unità di tempo. Ne segue che per propagare il riporto dall'ingresso R_{in} all'ingresso R_{out} di ogni sommatore occorrono due unità di tempo per ogni FA.



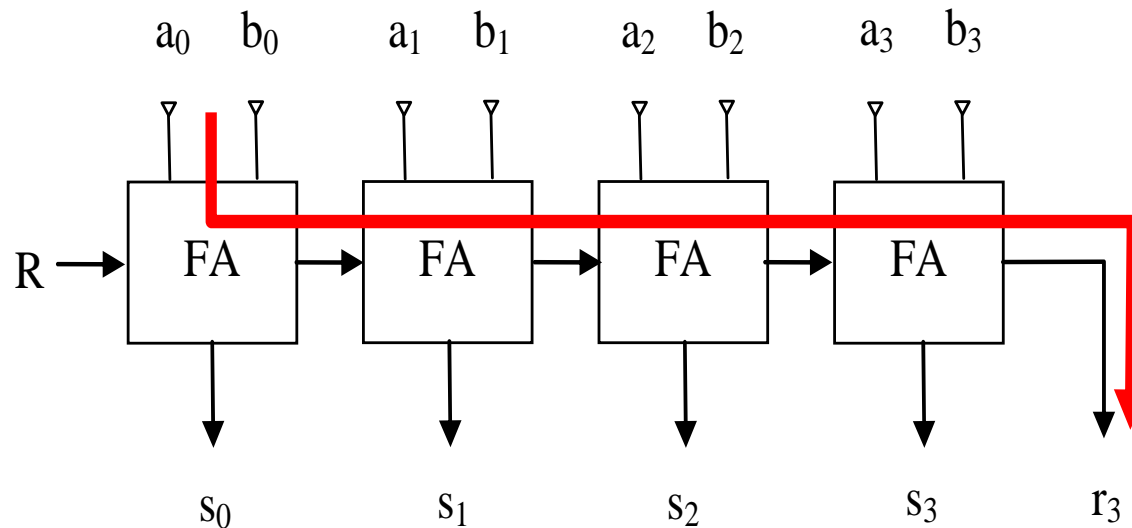
Il **cammino critico** quindi per questo sommatore è $1 + 2 * (n-1)$ dove n è il numero di bit da sommare.

Es. 4

- Si modifichi il circuito realizzato nell'esercizio 3 per tenere conto di un possibile riporto in ingresso. Si salvi il circuito realizzato.
- Si testi il circuito per le somme: $0101+0001$ e $1011+1101$.
- E' necessario introdurre un circuito per il controllo dell'overflow?
- Si realizzi poi un modulo per la somma di due numeri a 8 bit con riporto in ingresso.

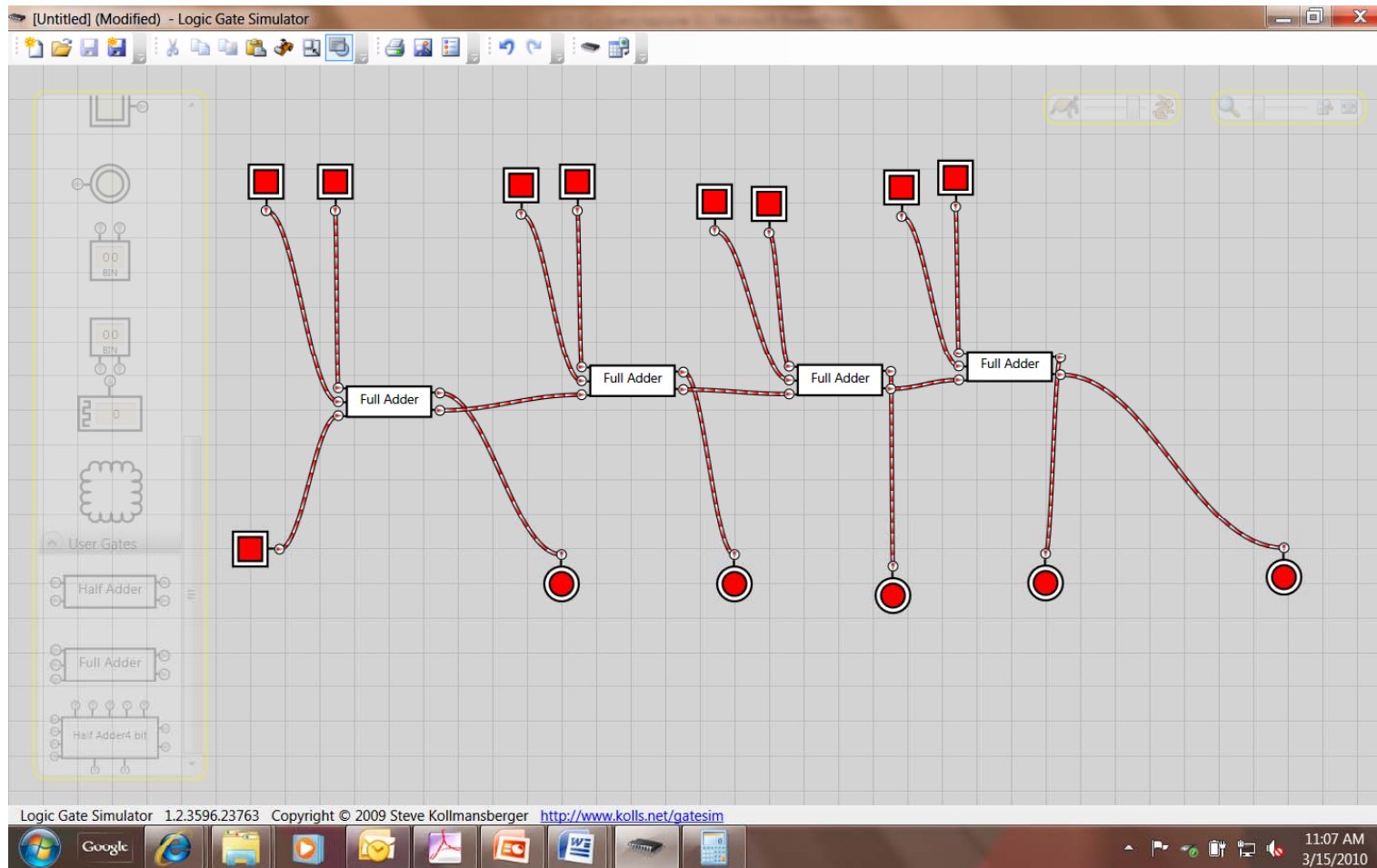
Sol. 4

Normalmente si preferisce adottare un FA anche per il primo modulo. Questo permette di mettere in cascata più sommatore e di realizzare semplicemente un sottrattore binario in complemento a due (vedi più avanti).

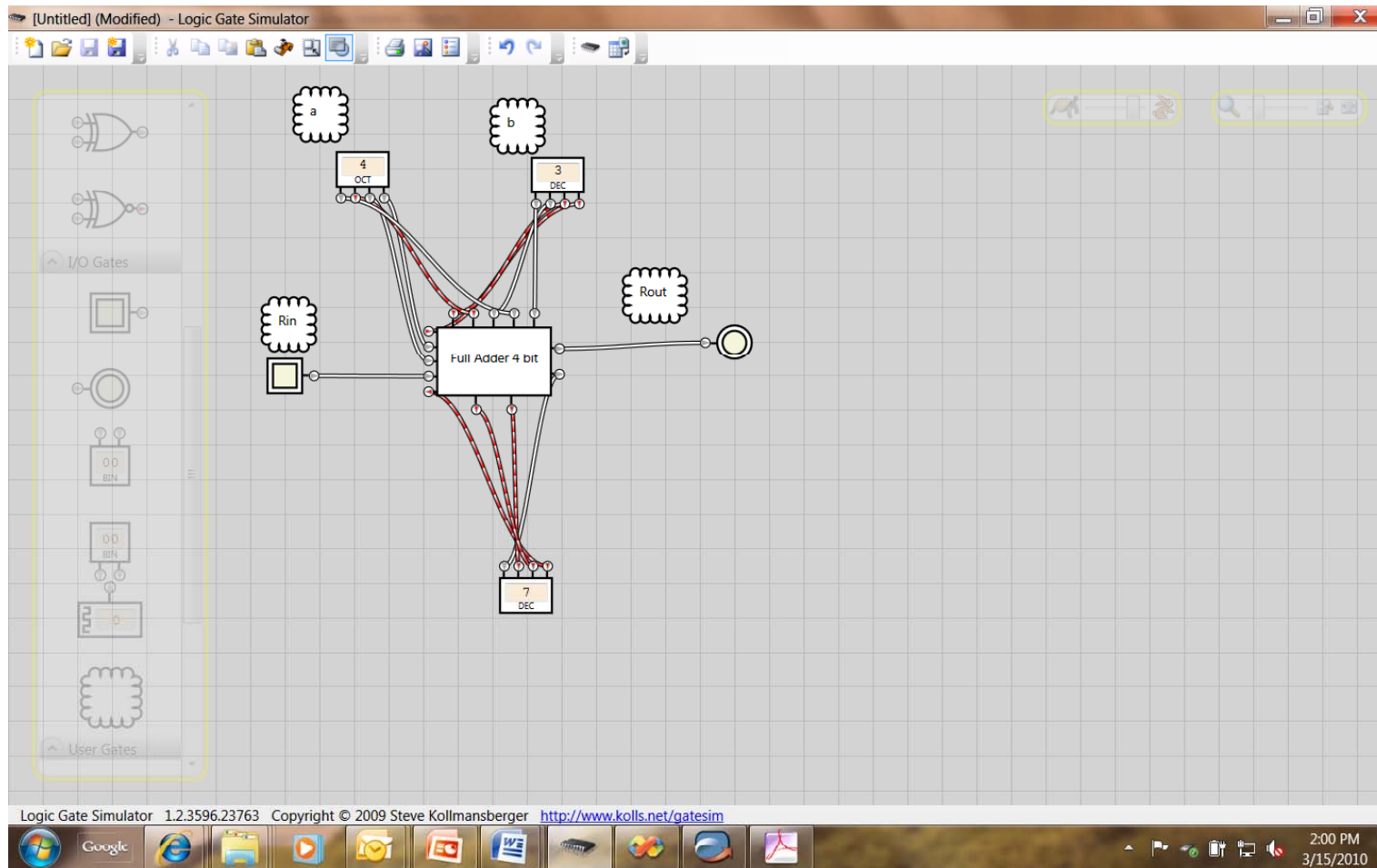


In questo caso quindi il **cammino critico** è $3 + 2 * (n-1) = 1+2*n$ poiché al primo FA occorrono 3 unità di tempo per generare il primo riporto.

Sol. 4



Sol. 4



Sol. 4

- Il circuito per il controllo dell'overflow non è necessario in questo caso.
- Infatti il valore massimo che possiamo ottenere è:

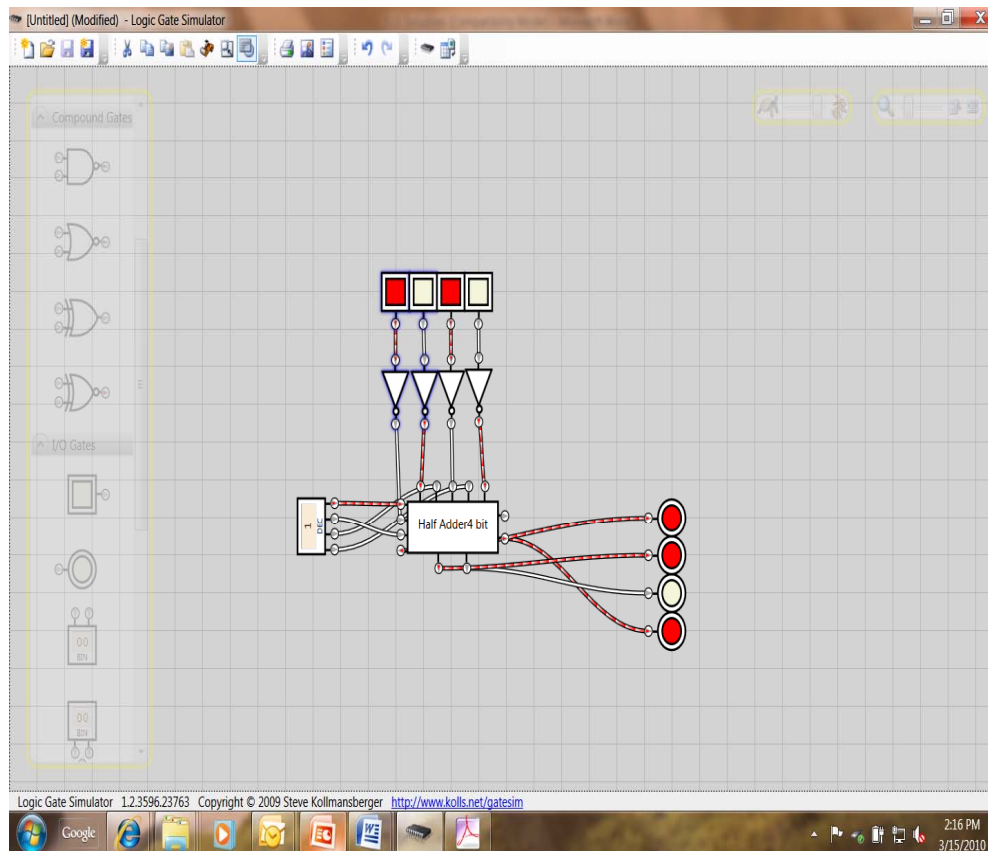
$$1111+1111+1=11110+1=11111,$$

rappresentabile come 1111 + riporto di 1.

Es. 5

- Si realizzi il circuito che, a partire da un numero X in formato binario standard, fornisca in uscita il numero $-X$ in complemento a 2.
- Hint -> per convertire a complemento a 2 cambiando di segno è necessario invertire i bit del numero e sommare 1.
- Si discutano le proprietà del circuito realizzato (quanti bit in ingresso, quanti in uscita, possibilità di overflow, ...).
- Si realizzi quindi un circuito che realizzi la somma e la differenza di due numeri a 4 bit, utilizzando un bit di selezione dell'operazione. Non si consideri per il momento il problema dell'overflow. Il circuito appena realizzato è utile allo scopo?

Sol. 5



- Il circuito funziona correttamente solo per ingressi binari compresi tra 0000 [-> 0000 in C2] e 0111 [-> 1001 in C2].
- Per numeri da 1000 in su il circuito non funziona [overflow, es. 1000 -> 0111+1 = 1000!!!!]
- Il circuito realizza quindi la conversione in C2 per numeri a 3 bit.
- Si noti che, a parte il caso speciale dello 0, il circuito non funziona quando il bit di resto dell'Half adder è pari a 0 [-> Questo sarebbe il quinto bit del numero in C2... Se il numero in C2 è negativo, il bit deve essere pari a 1!!!!]
- Il circuito non è molto utile per realizzare un "quasi-ALU"...

Sol. 5

- Per realizzare somma e differenza tra a e b con un solo circuito, utilizziamo una linea di selezione dell'operazione, S .
- Quando $S=1$, b viene convertito in complemento a 2 e sommato ad a ... 0, meglio: i bit di b vengono invertiti, viene aggiunto 1 nel riporto in ingresso al Full Adder a 4 bit.

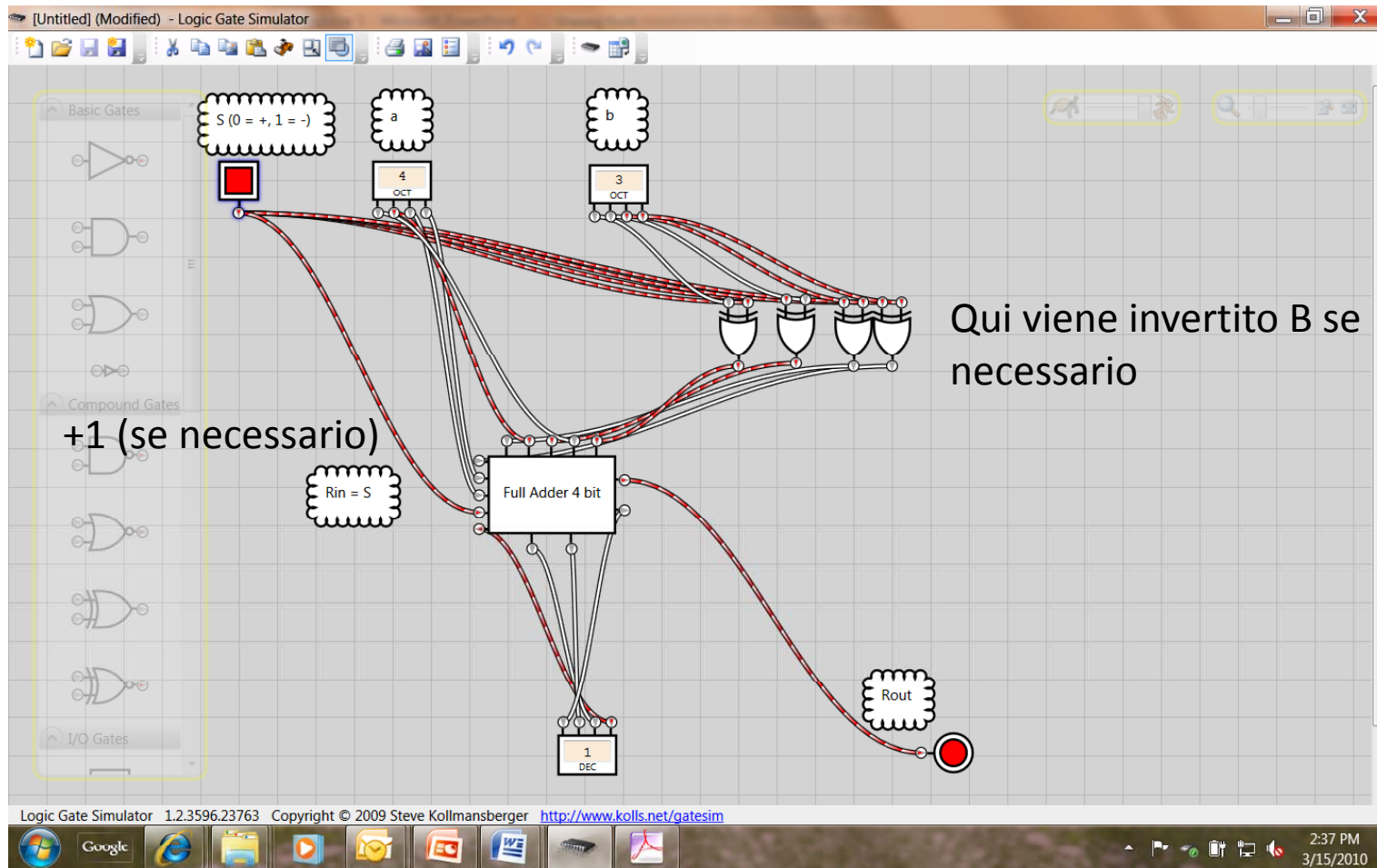
Sol. 5

- Dobbiamo costruire un selettore; per ogni bit del numero b , quindi $S=0$ deve “passare” il bit stesso, quando $S=1$ deve passare il suo negato.
- In pratica:

S	b_i	Output
0	0	0
0	1	1
1	0	1
1	1	0

Dobbiamo realizzare una porta XOR per ogni bit di b . Gli ingressi della XOR sono i bit di b ed il bit di selezione S .

Sol. 5



Es. 6

- Si modifichi il circuito realizzato all'esercizio precedente aggiungendo un circuito per la rilevazione dell'overflow.
- Si calcoli il cammino critico del circuito.

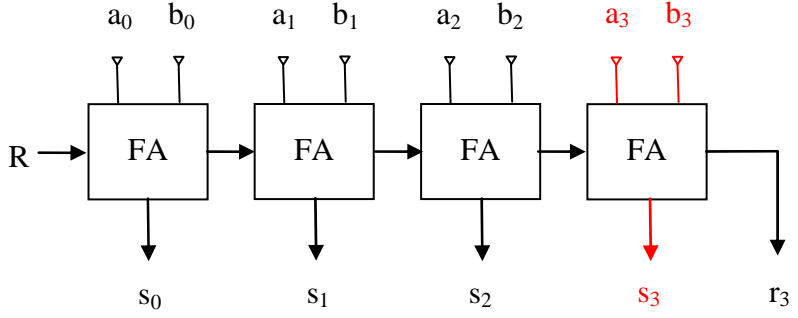
che l'overflow si verifica solo nei seguenti due casi:

Segno di A = 0 e Segno di B = 0 e Segno del risultato = 1

oppure

Segno di A = 1 e Segno di B = 1 e Segno del risultato = 0

Tenendo presente il circuito Full-Adder a n bit,

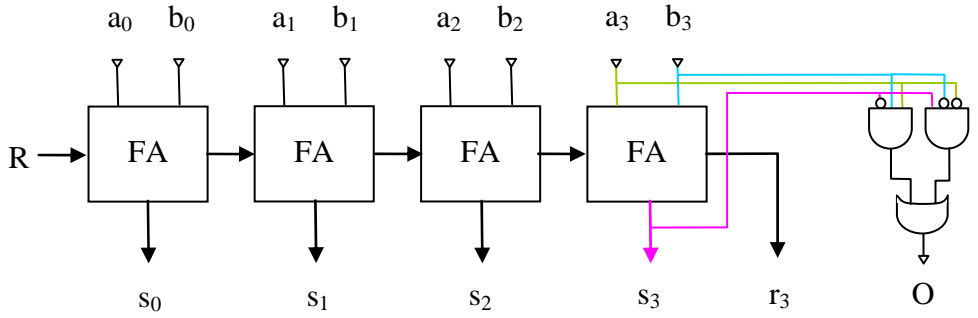


Sol .6

il circuito che realizza questo controllo deve sintetizzare la seguente forma tabellare:

s_{n-1}	a_{n-1}	b_{n-1}	Overflow
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

In forma SOP si può scrivere: $O = \sim s_{n-1} a_{n-1} b_{n-1} + s_{n-1} \sim a_{n-1} \sim b_{n-1}$



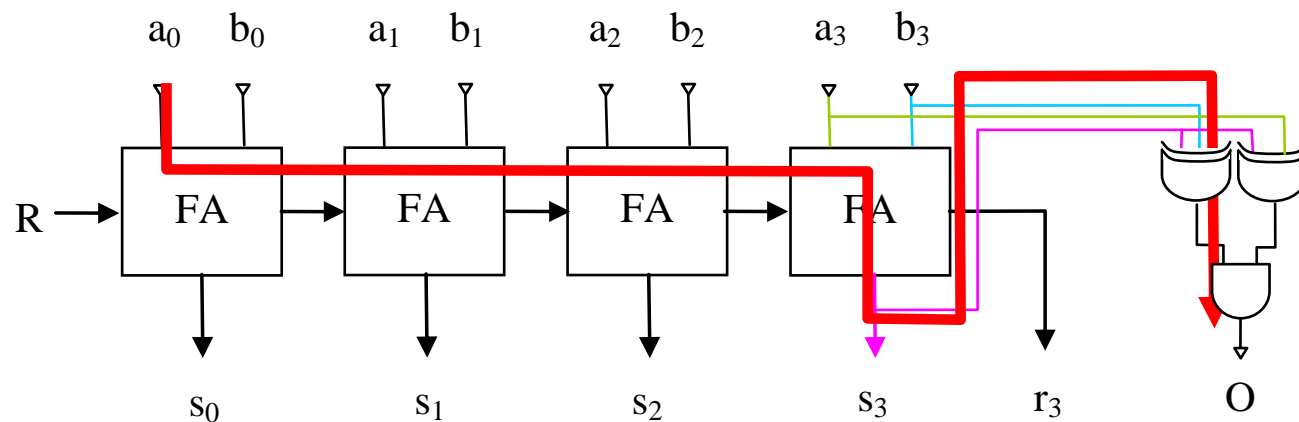
Sol. 6

Si può fare di meglio (assegnamo per comodità $S=S_{n-1}$ $A=a_{n-1}$ $B=b_{n-1}$):

$$\begin{aligned}
 O &= \sim S A B + S \sim A \sim B = \sim S A \sim S B + S \sim A S \sim B = \sim S A \sim S B + 0 + 0 + S \sim A S \sim B \\
 &= \sim S A \sim S B + \sim S A S \sim B + S \sim A \sim S B + S \sim A S \sim B \\
 &= (\sim S B + S \sim B) \sim S A + S \sim A (\sim S B + S \sim B) = (S \oplus B) \sim S A + S \sim A (S \oplus B) \\
 &= (S \oplus B) (\sim S A + S \sim A) = (S \oplus B) (S \oplus A)
 \end{aligned}$$

che ha cammino critico pari a **2**.

Ne segue che il cammino critico di un circuito Full-Adder con rilevamento dell'overflow definito dal tempo necessario per propagare i segnali in ingresso al circuito di rilevamento dell'overflow più il cammino critico del circuito stesso:



Cammino critico: primi $n-1$ stadi + ultimo stadio + Overflow = $1+2(n-1) + 2 + 2 = 2(n+1) + 1$

Sol. 6

